

PICTURE PROCESSOR AND ITS PROCESSING METHOD

Patent Number: JP5219353

Publication date: 1993-08-27

Inventor(s): NEGISHI AKIRA

Applicant(s): CANON INC

Requested Patent: JP5219353

Application Number: JP19920017046 19920131

Priority Number (s):

IPC Classification: H04N1/387; B41J2/525; G03G15/01; G03G21/00;
G06F15/62; H04N1/40

EC Classification:

Equivalents:

Abstract

PURPOSE: To add a pattern as unremarkable as possible to an original picture when information used to specify a copying machine or a person to the original picture as a pattern.

CONSTITUTION: Plural kinds of dot patterns based on prescribed information are stored in an LUT 303 and the stored plural kinds of dot patterns are subject to arrangement control continuously in the main scanning direction and discontinuously in the subscanning direction by a subscanning counter 301 and a main scanning counter 302. When an AND gate 307 processes picture data corresponding to a prescribed color among plural different colors according to a CNO signal being a face sequential signal, an adder 310 is used to add the dot pattern stored in a register 308 to picture data V according to the arrangement control and outputs the added result V'.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平5-219353

(43)公開日 平成5年(1993)8月27日

(51)Int.C1. ⁵	識別記号	4226-5C	F I	技術表示箇所
H 0 4 N 1/387				
B 4 1 J 2/525				
G 0 3 G 15/01	S 7818-2H			
21/00				
	7339-2C	B 4 1 J 3/00	B	
審査請求 未請求 請求項の数 13			(全 19 頁)	最終頁に続く

(21)出願番号 特願平4-17046
 (22)出願日 平成4年(1992)1月31日

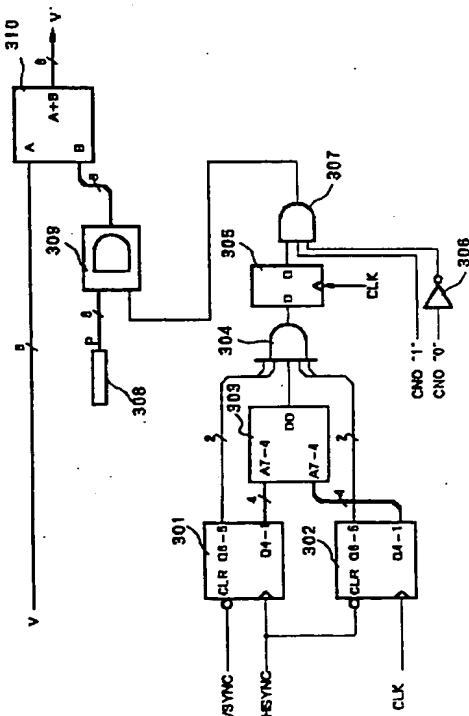
(71)出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (72)発明者 根岸 晃
 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
 (74)代理人 弁理士 大塚 康徳 (外1名)

(54)【発明の名称】画像処理装置及び方法

(57)【要約】

【目的】複写機や人物などを特定するための情報をパターンとして原画像に付加する場合に、できるだけ目立たないパターンを付加することができる。

【構成】LUT 303 に、予め、所定の情報に基づく複数種のドットパターンを記憶し、副走査カウンタ 301 及び主走査カウンタ 302 により、記憶した複数種のドットパターンを、主走査方向に連続的に、副走査方向に非連続的に配置制御し、ANDゲート 307 により、面順次信号であるCNO信号に従って複数の異なる色のうちの所定の色に対応した画像データを処理する場合に、上記配置制御に従って、加算器 310 により、レジスタ 308 に記憶したドットパターンを画像データ V に付加し、この付加した結果 V' を出力する。



【特許請求の範囲】

【請求項1】複数の異なる色にそれぞれ対応した画像データを出力する画像処理装置において、
予め、所定の情報に基づくドットパターンを記憶する記憶手段と、
前記記憶手段で記憶したドットパターンを、主走査方向及び副走査方向に配置制御する制御手段と、
前記複数の異なる色のうちの所定の色に対応した画像データを処理する場合に、前記制御手段の配置制御に従って、前記画像データに前記記憶手段で記憶したドットパターンを付加する付加手段と、
前記付加手段で付加した結果を出力する出力手段とを備えることを特徴とする画像処理装置。

【請求項2】複数の異なる色にそれぞれ対応した画像データを出力する画像処理装置において、
予め、所定の情報に基づくドットパターンを記憶する記憶手段と、
入力した画像データと所定の原稿との同一性を判定する判定手段と、
前記判定手段での判定結果に従って、前記記憶手段で記憶したドットパターンの出力レベルを決定する決定手段と、
前記記憶手段で記憶したドットパターンを、主走査方向及び副走査方向に配置制御する制御手段と、
前記入力した画像データに基づいて前記複数の異なる色のうちの所定の色に対応したデータを処理する場合に、前記制御手段の配置制御に従って、前記所定の色に対応したデータに前記決定手段で決定した出力レベルのドットパターンを付加する付加手段と、
前記付加手段で付加した結果を出力する出力手段とを備えることを特徴とする画像処理装置。

【請求項3】複数の異なる色にそれぞれ対応した画像データを出力する画像処理装置において、
1画素あるいは隣接した複数画素から構成される予め定められたドットを、所定の情報に基づいて主走査方向および副走査方向に配置制御する第1の制御手段と、
前記複数の異なる色のうちの所定の色に対応した画像データを処理する場合に、前記第1の制御手段の配置制御に従って、前記画像データに前記ドットを付加する付加手段と、
前記付加手段で付加した結果を出力する出力手段とを備えることを特徴とする画像処理装置。

【請求項4】前記第1の制御手段が、主走査方向へドットを配置制御する第2の制御手段と、
前記第2の制御手段により主走査方向へ配置制御されたドット列を、前記所定の情報に基づいて主走査方向に位相差を持たせて、副走査方向に配置制御する第3の制御手段を含むことを特徴とする請求項3記載の画像処理装置。

【請求項5】前記第2の制御手段が、主走査方向へ等間

1
2
隔にドットを配置制御する第4の制御手段と、
前記第4の制御手段により主走査方向へ等間隔に配置制御されたドット列に加えて、前記所定の情報の区切りや副走査方向の向き等をあらわすための前記ドットを配置制御する第5の制御手段を含むことを特徴とする請求項4記載の画像処理装置。

【請求項6】入力した画像データと所定の原稿との同一性を判定する判定手段と、
前記判定手段での判定結果に従って、前記ドットの出力レベルを決定する決定手段とを備え、
前記付加手段が、前記画像データに、前記決定手段で決定した出力レベルの前記ドットを付加する機能を有することを特徴とする請求項3、4、5のいずれかひとつに記載の画像処理装置。

【請求項7】複数の異なる色にそれぞれ対応した画像データを出力する画像処理方法において、
予め記憶した所定の情報に基づくドットパターンを、主走査方向及び副走査方向に配置制御する工程と、
前記複数の異なる色のうちの所定の色に対応した画像データを処理する場合に、前記制御工程の配置制御に従って、前記画像データに前記記憶したドットパターンを付加する工程と、
前記付加工程で付加した結果を出力する工程とを備えることを特徴とする画像処理方法。

【請求項8】複数の異なる色にそれぞれ対応した画像データを出力する画像処理方法において、
入力した画像データと所定の原稿との同一性を判定する工程と、
前記判定工程での判定結果に従って、予め記憶した所定の情報に基づくドットパターンの出力レベルを決定する工程と、
前記記憶したドットパターンを、主走査方向及び副走査方向に配置制御する工程と、
前記入力した画像データに基づいて前記複数の異なる色のうちの所定の色に対応したデータを処理する場合に、前記記憶したドットパターンを、主走査方向及び副走査方向に配置制御して、前記所定の色に対応したデータに前記決定手段で決定したレベルで付加する工程と、
前記付加工程で付加した結果を出力する工程とを備えることを特徴とする画像処理方法。

【請求項9】複数の異なる色にそれぞれ対応した画像データを出力する画像処理方法において、
1画素あるいは隣接した複数画素から構成される予め定められたドットを、所定の情報に基づいて主走査方向および副走査方向に配置制御する第1の制御工程と、
前記複数の異なる色のうちの所定の色に対応した画像データを処理する場合に、前記第1の制御工程に従って、前記画像データに前記ドットを付加する工程と、
前記付加工程で付加した結果を出力する工程とを備えることを特徴とする画像処理方法。

【請求項10】前記第1の制御工程が、主走査方向へドットを配置制御する第2の制御工程と、

前記第2の制御工程により主走査方向へ配置制御されたドット列を、前記所定の情報に基づいて主走査方向に位相差を持たせて、副走査方向に配置制御する第3の制御工程を含むことを特徴とする請求項9記載の画像処理方法。

【請求項11】前記第2の制御工程が、主走査方向へ等間隔にドットを配置制御する第4の制御工程と、

前記第4の制御工程により主走査方向へ等間隔に配置制御されたドット列に加えて、前記所定の情報の区切りや副走査方向の向き等をあらわすための前記ドットを配置制御する第5の制御工程を含むことを特徴とする請求項10記載の画像処理方法。

【請求項12】入力した画像データと所定の原稿との同一性を判定する工程と、

前記判定工程での判定結果に従って、前記ドットの出力レベルを決定する工程とを備え、

前記付加工程が、前記画像データに、前記決定工程で決定した出力レベルの前記ドットを付加する機能を有することを特徴とする請求項9、10、11のいずれかひとつに記載の画像処理方法。

【請求項13】N色の色成分信号に応じてカラー画像記録を行う画像処理方法において、

前記N色の少なくとも1色について、付加情報を加える際に、前記色成分信号により表わされるカラー画像の色調が大略保存されるように、前記付加情報を加えることを特徴とする画像処理方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えば紙幣や有価証券等の特定原稿に対する判定を行える画像処理装置及び方法に関する。

【0002】

【従来技術】近年、カラー複写機、カラープリンタの性能向上に伴って、これを不正利用して紙幣、有価証券等の偽造を行なうという犯罪が増加している。この種の犯罪が発生した場合、複写された複写物によって、どの装置で複写したかを特定すること、もしくは、複写した人物を特定することは、ほぼ不可能であった。

【0003】こうした犯罪の防止の為に、カラー複写機、カラープリンタ自体に上記特定原稿に対応した画像パターンのデータを登録しておき画像認識回路によりこれを識別して不正なコピーを強制的に禁止するといったことが検討されている。

【0004】しかしながら、こうした偽造防止回路では、登録可能な画像パターンの数に限りがあることによって、全ての紙幣や有価証券は登録不可能であるという欠点がある。

【0005】また、外部インターフェースを持ったカラー

複写機やカラープリンタでは、こうした偽造防止回路が機能しない場合がある。例えば、外部インターフェース上の画像データがレッド(R)、グリーン(G)、ブルー(B)の三原色データが同時に送られてくる仕様であれば、上述の偽造防止回路は動作可能であるが、シアン(C)、マゼンタ(M)、イエロー(Y)、ブラック(K)の様にプリンタの個別の特性に合わせたデータ仕様であると、色再現可能な組み合わせが複数種類存在する為に判定の為の画像パターンが複数必要になり、偽造防止の為の判定は非常に難しくなるとともに、判定可能画像数が少なくなるという欠点がある。さらに各色成分の画像データが一色毎に順次に送られてくる場合に、画像判定の為にメモリに画像データを蓄えておかねばならず、装置のコスト高になり偽造防止判定に多大な費用が必要になるという欠点も生ずる。

【0006】さらに、外部インターフェースからの画像信号の問題が解決したと仮定して、対象とする特定原稿、例えば、紙幣や有価証券の数を認識可能な数に限定して認識を行なったとしても、登録された紙幣によく似ている絵を紙幣であると誤判定してしまったり、汚れた紙幣を紙幣でないと誤判定してしまうことは避けられなかつた。

【0007】従って、偽造防止の為の手段を装置自体に加えることは重要ではあるが、検出に限界があるので、本来複写されるべきでない原稿の複写が行なわれた場合において、複写を行った複写機もしくは複写した人物を特定することが重要となる。こうした背景をもとに、複写機あるいは複写した人物を特定できる情報などを、原稿画像に付加する技術が本出願人により検討されている。その技術とは、複写機の出力色成分(例えば、マゼンタ、シアン、イエロー、ブラック)のうち、人間の目には最も目立たない出力色成分(例えば、イエロー)を使って、複写装置の製造番号などの数字や記号の形にその出力色成分の画像信号を変調する(例えば、一定値を加える)ことを一定間隔で繰り返すものである。

【0008】

【発明が解決しようとしている課題】しかしながら、上記従来例において、イエローが最も目で見えにくい出力色成分であるにせよ、画像信号を変調することは最小限におさえなければならない。特に、カラー複写機をデザイン関係に用いる場合などは、原稿にないパターンが見えては差し障りがある。また、原稿を複写する場合には、均一な色の原稿であってもスキャナの感度のばらつきなどで画像信号は必ずしも均一にはならないが、カラー複写機の外部インターフェースを使ってホストコンピュータ上の画像をプリントアウトする場合にはCG(コンピュータグラフィックス)を直接出力することが可能であるので、画像信号レベルで均一な領域が十分ありうる。その時、イエロー成分を変調した場合には、特に薄いグレーあるいは水色の均一な部分では付加パターンが

目立ちやすくなってしまう。

【0009】また、数字や符号がいくつかまとまった単位でパターンを表し、この単位のパターンを一定間隔で繰り返して全体の付加パターンを構成する方法では、各パターンが小さくまとまっているために目立ちやすいということ、また、人間の目はランダムな配列の模様よりも上記付加パターンのような規則的な模様を認識しやすいため、格子上にパターンを配置すればかえって目立ちやすくなるということが問題となる。そこで、画像信号の変調の度合いを小さくすると、特定原稿によっては付加パターンを読み取れないという欠点があった。

【0010】従って、全ての出力画像において目で見たときに識別しにくく、なおかつ、対象とする紙幣などの複写物において何らかの方法で確実に識別できるという反対の方向性を持つ条件を満たすような変調方法及びパターン等の解決策を考える必要がある。

【0011】そこで、本発明は、複写機や人物などを特定するための情報をパターンとして原画像に付加する場合にできるだけ目立たないようにパターンを付加できる画像処理装置及び方法を提供することを目的としている。

【0012】

【課題を解決するための手段】上述した課題を解決し、目的を達成するため、本発明に係る画像処理装置は、複数の異なる色にそれぞれ対応した画像データを出力する画像処理装置において、予め、所定の情報に基づくドットパターンを記憶する記憶手段と、前記記憶手段で記憶したドットパターンを、主走査方向及び副走査方向に配置制御する制御手段と、前記複数の異なる色のうちの所定の色に対応した画像データを処理する場合に、前記制御手段の配置制御に従って、前記画像データに前記記憶手段で記憶したドットパターンを付加する付加手段と、前記付加手段で付加した結果を出力する出力手段とを備える。

【0013】また、好ましくは、本発明に係る画像処理方法は、複数の異なる色にそれぞれ対応した画像データを出力する画像処理方法において、予め記憶した所定の情報に基づくドットパターンを、主走査方向及び副走査方向に配置制御する工程と、前記複数の異なる色のうちの所定の色に対応した画像データを処理する場合に、前記制御工程の配置制御に従って、前記画像データに前記記憶したドットパターンを付加する工程と、前記付加工程で付加した結果を出力する工程とを備える。

【0014】

【作用】以上によれば、予め、所定の情報に基づくドットパターンを記憶し、記憶したドットパターンを、主走査方向及び副走査方向に配置制御し、複数の異なる色のうちの所定の色に対応した画像データを処理する場合に、配置制御に従って、画像データに記憶したドットパターンを付加し、この付加した結果を出力することによ

つて、全体の画像の中で付加したドットパターンの目立ちを抑えることができる。

【0015】

【実施例】以下に添付図面を参照して、本発明に係る好適な一実施例を詳細に説明する。以下の実施例では本発明の適用例として複写機の例が示されるが、本発明はこれに限るものではなく、他の種々の装置に適用できることはもちろんである。

【第1の実施例】【装置概観】図2は本発明の第1の実施例による複写機の内部構成を示す側面断面図である。図2において、201はイメージスキャナ部であり、400 dpi (dot / inch) の解像度で原稿を読み取り、デジタル信号処理を行う部分である。また、202は、プリンタ部であり、イメージスキャナ部201によって読み取られた原稿画像に対応した画像を400 dpiの解像度で用紙にフルカラーでプリント出力する部分である。

【0016】イメージスキャナ部201において、200は鏡面圧板であり、原稿台ガラス（以下、「プラテン」という）203上の原稿204は、ランプ205で照射され、ミラー206, 207, 208に導かれ、レンズ209によって、3ラインセンサ（以下、「CCD」という）210上に像を結び、フルカラー情報レット（R），グリーン（G），ブルー（B）成分として信号処理部211に送られる。なお、ランプ205, ミラー206は速度vで、ミラー207, 208は速度1/2vでCCD210の電気的走査（主走査方向）に対して垂直方向に機械的に動くことによって、原稿全面を走査（副走査）する。

【0017】信号処理部211においては、読み取られた画像信号を電気的に処理し、マゼンタ（M），シアン（C），イエロー（Y），ブラック（Bk）の各成分に分解し、プリンタ部202に送る。また、イメージスキャナ部201における一回の原稿走査につき、M, C, Y, Bkのうちひとつの成分がプリンタ部202に送られ、計4回の原稿走査によって、一回のプリントアウトが完成する。

【0018】イメージスキャナ部201より送られてくるM, C, Y, Bkの各画像信号は、レーザドライバ212に送られる。レーザドライバ212は、送られてきた画像信号に応じ、半導体レーザ213を変調駆動する。レーザ光はポリゴンミラー214, f-θレンズ215, ミラー216を介し、感光ドラム217上を走査する。

【0019】218は回転現像器であり、マゼンタ現像部219, シアン現像部220, イエロー現像部221, ブラック現像部222より構成され、4つの現像部が交互に感光ドラム217に接し、感光ドラム217上に形成された静電現像をトナーで現像する。223は転写ドラムであり、用紙カセット224または225より

供給される用紙をこの転写ドラム223に巻き付け、感光ドラム上に現像された像を用紙に転写する。

【0020】この様にして、M, C, Y, Bkの4色が順次転写された後に、用紙は定着ユニット226を通過して、トナーが用紙に定着された後に排紙される。

【イメージスキナ】図1は第1の実施例によるイメージスキナ部201の構成を示すブロック図である。同図において、210-1, 210-2, 210-3はそれぞれレッド(R), グリーン(G), ブルー(B)の分光感度特性をもつCCD(個体撮像素子)センサであり、A/D変換された後にそれぞれ8ビット出力0~255の信号が出力される。

【0021】本実施例において用いられるCCDセンサ210-1, 210-2, 210-3は、一定の距離を隔てて配置されている為、ディレイ素子101および102においてその空間的ずれが補正される。

【0022】103, 104, 105はlog変換器であり、ルックアップテーブルROMまたはRAMにより構成され、輝度信号が濃度信号に変換される。106はマスキング及びUCR(下色除去)回路である。マスキング・UCR回路106では、入力された3信号により、出力のためのマゼンタ(M), シアン(C), イエロー(Y), ブラック(Bk)の各信号が、各読み取り動作の度に、面順次に所定のビット長、たとえば8ビットで出力される。

【0023】107は空間フィルタ回路であり、出力信号の空間周波数の補正を行う。108は濃度変換回路であり、プリント部202のもつ濃度特性を補正するものであり、log変換器103~105と同様にROMまたはRAMを有している。

【0024】111は本装置の制御を司るマイクロコンピュータ(以下、「CPU」という)であり、110はCPU111に接続される入出力ポート(以下、「I/Oポート」という)である。

【0025】CNO信号は2ビットの出力カラー選択信号であり、4回の読み取り動作の順番を示す制御信号である。図28は第1の実施例によるCNO信号とプリント出力との関係を示す図である。CNO信号は、CPU111よりI/Oポート110を経て発生され、マスキング/UCR回路106の動作条件を切り替える。

【0026】109はパターン付加回路であり、複写画像に人間の目には識別し難い色のパターンを付加する部分である。

【パターン付加回路】図3は第1の実施例によるパターン付加回路309の構成を示すブロック図である。同図において、301は副走査カウンタ、302は主走査カウンタであり、303はルックアップテーブルRAM(以下「LUT」という)、304はANDゲート、305はフリップフロップ、306はインバータ、307はANDゲート、308はレジスタ、309はANDゲ

ート、310は加算器である。

【0027】ここで、副走査カウンタ301では主走査同期信号H SYNCを、主走査カウンタ302では画素同期信号CLKをそれぞれ7ビット幅、即ち128周期で繰り返しカウントする。更に、LUT303は付加されるべきパターンが保持されているランダムアクセスメモリ(以下、「RAM」という)であり、副走査カウンタ301、主走査カウンタ302それぞれのカウント値の下位5ビットから最下位ビットを除いた4ビットずつが入力される。LUT303の出力は、1ビットのみが参照され、この1ビットは、ANDゲート304によって、主走査カウンタ301および副走査カウンタ302の上位2ビットずつと論理積をとられる。この結果は、フリップフロップ305にてCLK信号で同期をとられ、ANDゲート307において、2ビットのCNO信号“0”およびCNO信号“1”的両方と論理積をとられた後に、ANDゲート309に送られる。これはCNO=2、即ち現在イエローでプリントされている場合にのみに有効な信号である。

【0028】ここで、付加するパターンのレベル(変調量)は、予めレジスタ308に格納されており、ANDゲート309で、CNO=2のとき(イエロー面のとき)にのみ、有効となって、画像データVに、加算器310で加算される。

【0029】尚、付加パターンは、人間の目で識別し難い様に、イエローのトナーのみで付加されるが、これは人間の目がイエローのトナーで描かれたパターンに対して識別能力が弱いことを利用したものである。

【0030】図4は第1の実施例による付加パターンを説明する図である。

【0031】LUT303には、図4に示すようなドットパターン、すなわち、付加パターンが保持されている。図4中の1マスがLUT303中に保持されている1ビットに相当し、白のところは0、黒のところは1を表す。また、左右方向がアドレス下位4ビット、上下方向がアドレス上位4ビットに相当し、256ビットで付加パターンを構成する。図4左のアドレス上位4ビットが0のライン(最上段の1ライン)は基準位置を表すマークである。また、図4左で網をかけてある、アドレス上位4ビットが2, 3および8, 9, E, Fの6ラインはドットをのせるラインで、2ラインごとに用いる。この各2ラインは図4の右に示すように 2×2 ビットのドットを決められた箇所に1つあるいは2つ打つことにより、16通りの情報を表す。すなわち、各2ラインが4ビットの情報を表す。この2ラインがマークの下に3本あるので合成12ビットの情報を表すことが出来る。各2ラインを接近させず、離してあるのは、例えば「BBB」や「123」のようにドット配置の2ラインが連続した場合に、ドットが縦や斜めにつながってしまって付加パターンが目立ってしまうのを防ぐためである。

【0032】図3に示されるLUT303には、CPU(図示せず)から書き込むことが出来るように設けられており、複写機を特定できる情報等の様に、複写書類の出所を特定するための情報が付加パターンのデータに変換された状態で書き込まれる。

【0033】また、図3の主走査カウンタ302および副走査カウンタ301の最下位1ビットを除いたデータがLUT303へ入力されるため、LUT303上の1ビットが複写物上では2×2の4画素に対応する。これは、本実施例のプリンタ部202において、画像領域における、例えば、公知の200ライン処理を行なつてゐるため、1画素単位のパターン付加では読み取りにくくなる場合があるためである。

【複写結果】図5は第1の実施例による複写結果の一例を示す図であり、図6は第1の実施例による効果を説明する図である。

【0034】まず図5において、501は付加されたパターンであり、LUT303に保持されている内容が画像として付加される。図5に示す例では、“3FC”を意味するパターンが人間の目には識別し難いように、32画素×32画素のパターンで付加され、主走査128画素、副走査128ラインごとに繰り返される。そこで、これを機械固有の製造番号もしくは、製造番号を符号化したパターンとしておくことで、複写物を鑑定することで、複写した装置を限定することができる。更に、本実施例においては、パターンを付加するピッチを主走査128画素（またはライン）ごととしているが、本実施例では400dpi (dot/inch) の解像度であるので、約8mmごとにパターンを付加することになる。これは、付加パターンを読み取りやすい紙幣の透かしや周囲の余白などに確実にのる間隔である。

【0035】以上説明した付加パターンを用いる方法では、図6の(b)に示すように、数値などをそのままの形で用いて画像信号を変調するという方法よりも、本実施例の様に、図6の(a)に示す様なパターンを用いる方法であれば、変調する画素の数を減らして、付加パターンをより目立たなくすることが可能である。

【0036】以上説明した様に、第1の実施例によれば、複写物のなかに装置などを限定するために特定の付加パターンを、位置の基準を表すマークと一つ以上のドットからなるパターンとで複写物に記録することで、変調を加える画素数が減少され、上記付加パターンをより目立たなくしたため、画質劣化の低減が可能である。さらに、付加パターンをドットの配置のパターンに変換することは一種の暗号化であるため、このパターンを第三者に意図的に操作されにくいういう効果もあわせ持つ。<第2の実施例>さて、前述の第1の実施例では、複写物の出所を特定するパターンによる画質劣化を防止することに着目したが、本発明はこれに限定されるものではなく、複写しようとする原稿が複写禁止対象の特定原稿

であるという可能性を遠近の度合いで判定し、この判定結果に応じて付加パターンのレベル（変調量）を変化させるという第2の実施例も含む。

【0037】以下、第2の実施例について説明する。

【0038】図7は第2の実施例のイメージスキャナ部201の構成を示すブロック図である。装置概観は第1の実施例の図2と同じであるため、同様の構成及び機能を有する回路には、同一番号を用い、説明を省略する。

そこで、第1の実施例のイメージスキャナ部201のブロック図（図1）と異なるのは、特定原稿の判定回路704が加わった点である。またCPU703を動作させる為のプログラムを格納したROM710と各種プログラムのワークエリアとして用いるRAM711とを図示する。ROM710には、例えば、図17に示されるフローチャートに従ったプログラムが格納されている。

【0039】ここで、特定原稿の判定回路704は、予め複数の特定原稿（紙幣、有価証券等）のうちの少なくともひとつを読み込み中である可能性の判定を行い、判定信号Hが多値の2ビット（0～3の4レベル）で出力される。即ち、複数の特定原稿のうち少なくとも一原稿を読み込み中である可能性が最も高い場合にはH=3を出力し、その可能性が低くなるにつれてH=2、H=1と出力し、最も低い場合にはH=0を出力する。また、本実施例では、判定回路704にも前述のCNO信号が入力される。判定回路704は、CNO信号に従って、4回の読み取り動作のそれに対応して判定基準を切り替え、後述するが、複数の異なる特定原稿についての判定を行うことができる。

【0040】さらに、CPU111が指定する2ビットのパターンレベル選択信号PSに応じ、パターン付加の処理を変化させることができる。これについても後述する。

【判定回路】図8は第2の実施例による判定回路704の構成を示すブロック図である。同図において、801は間引き回路であり、判定回路704自身の回路の負荷を軽減する為にデータを間引く回路である。802は色味マッチング・ルックアップテーブルROM（以下「LUT」という）であり、読み込んだ原稿画像と予め用意された複数種類の特定原稿（紙幣、有価証券等の複製禁止書類）の画像との色味マッチングを行う。このLUT802には、予め32種類の特定原稿について、その色味分布を調べ、当該画素の色味が、それら特定原稿の色味と一致するか否かの判定結果が保持されている。

【0041】即ち、LUT802には、アドレスの上位2ビットに面順次信号であるCNO信号が入力され、下位15ビットに間引かれたRGB各色の画像信号の上位5ビットが入力される。図28に示される様に、各CNO信号の値0～3においてそれぞれ、当該画素の色味が8種類の特定原稿における色味と一致するか否かを8ビットのデータに対応させて同時に出力し、4回の読み取

り走査においては、合計32種類の特定原稿についての判定が行われることになる。

【0042】803-1, 803-2, …, 803-8はそれぞれ同じハードウェアで構成される色味判定回路であり、積分器804、レジスタ805, 806, 807、比較器モジュール808より構成される。各色味判定回路は特定原稿が原稿中に存在する可能性を2ビットで判定をする。809は最大値回路であり、色味判定回路803-1～803-8の判定結果（出力値）の内の最大値を出力する。即ち、最大値回路809は、一回の読み取りの際、8種類の特定原稿のうち、読み取った原稿画像に存在している可能性が最も高い原稿について、判定結果を判定信号Hで出力する。

【0043】810は分周回路で、後述するが、入力したCLK及びHSYNCによってSELとCLK'を生成して出力する。

【タイミングチャート】図9は第2の実施例による間引き回路の構成を示す回路図であり、図10は第2の実施例による分周回路の構成を示す回路図であり、図12は第2の実施例による主走査方向の信号のタイミングチャートである。

【0044】VSYNC信号は副走査区間信号であり、副走査の画像出力区間を示す信号である。HSYNCは主走査同期信号であり、主走査開始の同期をとる信号である。CLKは画像の転送クロックであり、本実施例における諸々の画像処理の基本クロックである。

【0045】一方、CLK'はCLK信号を1/4分周したものであり、判定回路704における基本クロックとなる。SEL信号は後述の間引き回路801で用いられるタイミング信号である。CLK'及びSELは、図10に示される分周回路810で生成される。

【0046】分周回路810は、図10に示される様に、インバータ921, 2ビットカウンタ922, インバータ923, ANDゲート924により構成される。*

$$y_i = (\alpha/255) \cdot y_{i-1} + \beta \cdot x_{i-1} \quad \dots (1)$$

である。ここで、 α および β は予め設定されている定数であり、これらの値の大きさによって積分器の諸特性が決定される。例えば、 $\alpha = 247$, $\beta = 8$ の場合において、図13に示される様な入力 x_{i-1} に対して、図14に示される様な出力 y_i が出力される。

【0051】ここで、1201, 1202の点の様に周囲が殆ど“0”であるにもかかわらず“1”である様な入力や、1203の点の様に周囲が殆ど“1”であるにもかかわらず“0”である様な入力は、ノイズ（雑音）であると考えられる。これを本積分器で処理し、図8のレジスタ805, 806, 807にR1, R2, R3の様な適当な閾値をセットし、これで積分器の出力 y_i を4値化することによって、ノイズ（雑音）を除去すること

R1 < (入力) の場合、11 (2進) が出力され、
R2 < (入力) \leq R1 の場合、10 (2進) が出力され、

*2ビットカウンタ922は、主走査同期信号であるHSYNC信号により、クリア（初期化）された後、CLK信号をカウントし、2ビットでそのカウント値を出力する(D0, D1)。その上位ビットD1がCLK'信号として出力され、下位ビットD0の反転信号と上位ビットD1との論理積がSEL信号として出力される。

【0047】間引き回路801は、図9に示される様に、CLK信号でデータを保持するフリップフロップ901, 902, 903および907, 908, 909、10セレクタ904, 905, 906、CLK'信号でデータを保持するフリップフロップ910, 911, 912より構成される。この間引き回路801によれば、図12に示される様に、CLK信号で転送されるR（またはG, B）信号が1/4の割合で間引かれ、CLK'に同期をとられたR'（またはG', B'）信号を得ることができる。

【積分器】図11は第2の実施例による積分器804の構成を示すブロック図であり、図13及び図14は第2の実施例による積分器804の入出力を示す図である。

【0048】図11において、1001および1005はCLK'信号の立ち上がりタイミングでデータを保持するフリップフロップである。1002は乗算器であり、8ビットの2入力信号(A, B)を入力し、乗算結果として8ビットの信号(A × B / 255)を出力する。1003も乗算器であり、1ビットの入力信号

(A) 及び8ビットの入力信号(B)を入力し、乗算結果として8ビットの出力信号(A × B)を出力する。

【0049】1004は加算器であり、8ビットの2入力信号(A, B)を入力し、加算結果として8ビットの信号(A + B)を出力する。

【0050】結果として、本積分器においては、2値入力信号 x_i に対する8ビットの出力信号 y_i は次式(1)で表される。すなわち、

※とできる。

【比較器モジュール】図15は第2の実施例による比較器モジュール808の構成を示すブロック図である。同図において、1301, 1302, 1303は比較器、401304はインバータ、1305はANDゲート、1306, 1307はORゲートをそれぞれ示している。レジスタ805にはR1（図8参照）、レジスタ806にはR2（図8参照）、レジスタ807にはR3（図8参照）なる閾値が予めセットされている。R1 > R2 > R3なる関係がある。

【0052】以上の構成により、結果として、出力には判定結果が2ビットに量子化されて出力される。即ち、

$R_3 < (\text{入力}) \leq R_2$ の場合、0 1 (2進) が出力され、
 $(\text{入力}) \leq R_3$ の場合、0 0 (2進) が出力される。

【パターン付加回路】図16は第2の実施例によるパターン付加回路701の構成を示すブロック図である。第1の実施例のパターン付加回路109のブロック図(図3)とはANDゲート309の8ビット幅の入力信号が異なる。図16において、1405は4 to 1のセレクタ、1401, 1402, 1403, 1404はレジスタである。レジスタ1401, 1402, 1403, 1404には予めP1, P2, P3, P4なる値が保持されており、CPU703より指定されたパターンレベル選択信号PSに応じてP1からP4までのいずれかが選択され、ANDゲート309を経て、加算器310によって入力信号Vにパターンが付加され、V'が出力される。従って、CNO=2、即ち現在イエローでプリントされているときにLUT303に保持されているパターンが繰り返し読み出され、出力されるべき信号Vに付加される。

【0053】ここで、 $P < P_2 < P_3 < P_4$ である様に設定されており、セレクタ1405は、 $s = 00$ (2進数) のとき、 $Y = A$ 、 $s = 01$ (2進数) のとき、 $Y = B$ 、 $s = 10$ (2進数) のとき、 $Y = C$ 、 $s = 11$ (2進数) のとき $Y = D$ となる様に設定されているため、 $PS = 00$ (2進数) のとき、 $V' = V + P_1$ 、 $PS = 01$ (2進数) のとき、 $V' = V + P_2$ 、 $PS = 10$ (2進数) のとき、 $V' = V + P_3$ 、 $PS = 11$ (2進数) のとき、 $V' = V + P_4$ となるように、パターンが付加される。

【0054】入力画像中に特定原稿が存在する可能性に応じて、付加するパターンのレベルを可変にすることで、通常の複写物上に、パターンが人間の目では殆ど識別できない様に記録する。特に、レベルを可変したことにより、特定原稿が存在する可能性が高くなるほど、くっきりとパターンを付加することができる。

【フローチャート】図17は第2の実施例のCPU703による制御のうち、パターンレベル選択信号PSのセッティング手順を説明するフローチャートである。

【0055】まず、コピースタート直後には、ステップS1501において、パターンレベル選択信号PSに“0”をセットする。次に、ステップS1502において、現在の判定レベルHとPSの値を比較し、Hの方が大きければステップS1503でPSにHの値をセットする。そうでなければ、ステップS1502に戻る。即ち、判定信号Hの履歴により、コピースタートから今までの最大の値がPSにセットされる。

【0056】以上説明した様に、第2の実施例によれば、原稿が複写されてもよい原稿の場合には画像信号の変調量を小さく出来るので、より一層目立たなくすることが可能である。

＜第3の実施例＞次に、第3の実施例について説明す

る。

【0057】本実施例では、付加パターンを原画像に重畠して再生画像を生成するときに、付加パターンを分散させたドット配列を用いる。尚、第3の実施例も、複写機全体の構成は、第1の実施例で説明した図1及び図2と同様のため、説明を省略する。

【パターン付加回路】まず、本実施例の付加パターンの10 方式について説明する。

【0058】図20は第3の実施例による付加パターンを示す図、図21は第3の実施例によるアドオンラインを説明する図、図22は第3の実施例による付加パターンの単位を説明する図、図23は第3の実施例による付加パターンの付加例を説明する図、そして、図24は第3の実施例によるマークの付加方法を説明する図である。

【0059】本実施例の付加パターンは、図20に示すように、 4×4 画素の計16画素の画像信号をそれぞれ

20 変調(例えば $+ \alpha$)することにより出来るドットを単位とする。これは、カラー複写機のプリンタ部において画像領域における例えば200ライン処理を行なっているため、1画素単位のパターン付加では読み取りにくくなる場合があるためである。図21に示すように、このドットを主走査方向に8mm(128画素)毎に等間隔に並べたものを以下にアドオンラインと呼ぶ。このアドオンラインを副走査方向に1mm(16画素)毎に等間隔に並べる。後述するように、1本のアドオンラインで4ビットの情報を表し、8本のアドオンラインで全付加情報

30 (32bit)を表し、副走査方向に繰り返す(図22)。図23に示すように、各アドオンラインには、その1本前のアドオンラインと比較したときのドット位置の位相差により情報を乗せる。ただし、ドットが近づいて目立つのを防ぐため、1本前のアドオンラインのドットの近くには打たないようにする。また、全付加情報を表す8本のアドオンライン(Line 0~Line 7)のうち1番目のアドオンライン(Line 0)と4番目のアドオンライン(Line 3)には各ドットの右にドットを加える。図24に示される様に、Line 0では本来のドット位置から1mm右に、Line 3では2mm右にドットを加える。これは、各アドオンラインが全付加情報のうちどの部分の情報を表しているかを明らかにするためのマークである。マークを付加するアドオンラインが1本では、複写物から副走査方向の上下を確定できないため、2本のアドオンラインにマークのドットを付加する。ここで、付加するパターンは、人間の目で識別し難い様に、イエローのトナーのみで付加されるが、これは人間の目がイエローのトナーで描かれたパターンに対して識別能力が弱いことを利用したものである。

【0060】次に、本実施例のパターン付加回路につい

て説明する。

【0061】図18及び図19は第3の実施例によるパターン付加回路の構成を示すブロック図である。同図において、1319は副走査カウンタ、1314は主走査カウンタである。ここで、副走査カウンタ1319では主走査同期信号H SYNCを、主走査カウンタ1314では画素同期信号CLKをそれぞれ7ビット幅、即ち128周期で繰り返しカウントする。ANDゲート1320の出力は副走査カウンタ1319のビット2および3がともにHのときHになる。すなわち、副走査方向16ライン毎に4ライン分Hとなる。これをアドオンラインのイネーブル信号とする。また、このANDゲート1320の出力および副走査カウンタ1319の上位3ビットを入力とするゲート1322、1321によってLINE0、LINE3が生成される。これはアドオンラインのうちLine0、Line3の時にHとなる信号である。一方、主走査カウンタ1314はH SYNCによって初期値がロードされる。ANDゲート1315はこの主走査カウンタ1314の上位5ビットを入力とするため、その出力は128画素毎に4画素分Hとなる。これがドットのイネーブル信号である。また、ゲート1316、1317は主走査カウンタ1314の上位5ビットと、ゲート1322、1321の出力LINE0、LINE3とを入力とし、それぞれアドオンラインのLine0、Line3のマークのドットのイネーブル信号を生成する。これら、ドット及びマークのイネーブル信号はORゲート1318によりまとめられる。このORゲート1318の出力は、アドオンラインでなくともHとなるため、ANDゲート1324によりアドオンライン以外ではLとなるようになる。このANDゲート1324の出力はフリップフロップ1325にて、CLK信号で同期をとられ、ANDゲート1327において、2ビットのCNO信号“0”及び“1”的両方と論理積がとられた後に、ANDゲート1329に送られる。これはCNO=2、即ち現在イエローでプリントされている時に有効な信号である。AND回路1329では、ANDゲート1327の出力がHのときのみレジスタ1328の値を通し、ANDゲート1327の出力がLのときはゼロを出力する。このAND回路1329の出力は加算回路1330へ入力され、画像信号Vと加算されて出力V'を得る。この加算回路1330は8ビット長の加算器であるが、結果が0未満になるときはゼロを出力し、結果が255を越えるときは255を出力する。

【0062】また、主走査カウンタ1314のロード値は以下のように生成される。まず、V SYNCによりフリップフロップ1313及びカウンタ1309がリセットされる。そのため、最初のアドオンラインでは主走査カウンタ1314の初期値としてゼロが設定される。ここで、フリップフロップ1313のクロック入力ADL INは、アドオンラインのイネーブル信号であるAND

ゲート1320の出力をフリップフロップ1323でH SYNCに同期させた信号である。フリップフロップ1313の出力は主走査カウンタ1314のロード値に入力されるとともに、加算器1312にも入力される。加算器1312では一定値8が加算される。これは、一つ前のアドオンラインのドット位置のすぐ近くには打たないようにするためのオフセット値である。そして、加算器1312の出力は加算器1311に入力される。この加算器1311のもう一方の入力はセレクタ1310の出力が接続されている。このセレクタ1310は8本のアドオンラインそれぞれの値が設定されているレジスタ1301～1308のうちの一つを選択するものである。セレクタ1310のセレクト信号はカウンタ1309によって生成され、最初はカウンタ1309はV SYNCによりリセットされているので、レジスタ1301が選択される。そして、信号ADL INの立ち上がりによりカウンタ1309の値は一つ進み、セレクタ1310はレジスタ1302の値を出力する。その値と加算器1312の出力が加算器1311により加算される。そして、信号ADL INの立ち下がりでフリップフロップ1313にラッチされ、主走査カウンタ1314の初期値として用いられる。以降、アドオンライン毎に、定数8と次のアドオンラインのレジスタ値が加算されながら、主走査カウンタの初期値は設定されていく。

【複写結果】図25は一般的なパターンを付加した場合の複写結果の一例を示す図である。同図において、1901で示されるのが単位パターンである。このような小さくまとまった単位パターンを格子状に繰り返すことにより、全体のパターンが構成されていた。

【0063】図26は第3の実施例による複写結果の一例を示す図である。本実施例では、分散したドットのパターンとなるため、明らかに目立ちにくくなる。なお、図25及び図26に示されるパターンは、機械固有の製造番号もしくは、製造番号を符号化したものであって、複写物を鑑定すれば複写した装置を限定することができる。

【0064】このように、図25に示すように小さくまとまった単位パターンを繰り返すよりも、図26に示す様に、ドットを分散させることによって付加パターンをより目立たなくすることが可能である。

＜第4の実施例＞さて、上述した第3の実施例を、第2の実施例で説明した図7のイメージスキヤナ部に適用させても良い。

【0065】そこで、パターン付加回路について詳述する。

【パターン付加回路】図27は第4の実施例によるパターン付加回路の構成を示すブロック図である。第3の実施例のパターン付加回路のブロック図（図18及び図19）とはANDゲート329の8ビット幅の入力信号が異なる他、同様の為、同様の構成の説明及び図19に対

応する部分の図示を省略する。

【0066】図27において、1705は4 to 1のセレクタ、1701, 1702, 1703, 1704はレジスタである。レジスタ1701, 1702, 1703, 1704には、予め、P1, P2, P3, P4なる値が保持されており、CPUより指定されたパターンレベル選択信号PSに応じて、P1からP4までのいずれかが選択され、ANDゲート1329を経て、加算器1330によって、入力信号Vにパターンが付加され、V'が出力される。

【0067】ここで、P1, P2, P3, P4の関係によるセレクタ1705の動作は、第2の実施例と同様の為、説明を省略する。

【0068】第4の実施例においても、入力画像中に、特定原稿の存在する可能性に応じて、付加するパターンのレベルを可変にすることで、通常の複写物では、パターンが人間の目では殆ど識別できない様にし、特定原稿が存在する可能性が高くなるほど、くっきりとパターンを付加する。

＜第5の実施例＞本発明は、前述の第1～第4の実施例に限られるものではない。例えば、付加する特定パターンとして、装置固有の製造番号もしくはこれを符号化したものを作成していたが、装置を限定するための情報であればこれに限るものではない。例えば、装置の製造日付、装置のロット番号、装置のバージョン等、装置を限定するための情報であってもよい。

＜第6の実施例＞さて、前述した第1～第5の実施例においては、複写した装置を限定するものであったが、本発明はこれに限らず、複写した人物を限定するものであってもよい。例えば、装置使用にあたり、使用者を限定するためのID（識別）カードを差し込むことを必要とする装置や、ID番号を入力することを必要とする装置がすでに公知となっているが、これらの装置においては、認識されたID番号あるいは、それを符号化したものを特定パターンとして付加してもよい。

＜第7の実施例＞また、前述した第1～第5の実施例においては、複写した装置を限定するものであり、第6の実施例では、人物を特定していたが、本発明はこれに限定されるものではなく、コピーした日付もしくは、それを符号化したものを特定パターンとして付加してもよい。

【0069】更に、第1～第7の実施例の内、2つ以上の組み合わせによる実施例も可能であることは、述べるまでもない。

【0070】尚、本発明は、複数の機器から構成されるシステムに適用しても、1つの機器から成る装置に適用しても良い。また、本発明はシステム或は装置にプログラムを供給することによって達成される場合にも適用できることは言うまでもない。

【0071】

【発明の効果】以上説明した様に、本発明によれば、附加したパターンによる画質劣化の低減が可能である。

【図面の簡単な説明】

【図1】第1の実施例によるイメージスキャナ部201の構成を示すブロック図である。

【図2】本発明の第1の実施例による複写機の内部構成を示す側面断面図である。

【図3】第1の実施例によるパターン付加回路1309の構成を示すブロック図である。

【図4】第1の実施例による付加パターンを説明する図である。

【図5】第1の実施例による複写結果の一例を示す図である。

【図6】第1の実施例による効果を説明する図である。

【図7】第2の実施例のイメージスキャナ部201の構成を示すブロック図である。

【図8】第2の実施例による判定回路704の構成を示すブロック図である。

【図9】第2の実施例による間引き回路の構成を示す回路図である。

【図10】第2の実施例による分周回路の構成を示す回路図である。

【図11】第2の実施例による積分器804の構成を示すブロック図である。

【図12】第2の実施例による主走査方向の信号のタイミングチャートである。

【図13】

【図14】第2の実施例による積分器804の入出力を示す図である。

【図15】第2の実施例による比較器モジュール808の構成を示すブロック図である。

【図16】第2の実施例によるパターン付加回路701の構成を示すブロック図である。

【図17】第2の実施例のCPU703による制御のうち、パターンレベル選択信号PSのセッティング手順を説明するフローチャートである。

【図18】

【図19】第3の実施例によるパターン付加回路の構成を示すブロック図である。

【図20】第3の実施例による付加パターンを示す図である。

【図21】第3の実施例によるアドオンラインを説明する図である。

【図22】第3の実施例による付加パターンの単位を説明する図である。

【図23】第3の実施例による付加パターンの付加例を説明する図である。

【図24】第3の実施例によるマークの付加方法を説明する図である。

【図25】一般的なパターンを付加した場合の複写結果

の一例を示す図である。

【図26】第3の実施例による複写結果の一例を示す図である。

【図27】第4の実施例によるパターン付加回路の構成を示すブロック図である。

【図28】第1の実施例によるCNO信号とプリント出力との関係を示す図である。

【符号の説明】

101, 102 デイレイ素子

103~105 log 変換器

106 マスキング・UCR回路

107 空間フィルタ

108 濃度変換回路

201 イメージスキヤナ部

202 プリンタ部

203 原稿台ガラス

204 原稿

205 ランプ

206~208 ミラー

210-1~210-3 CCDセンサ

212 レーザドライバ

213 半導体レーザ

214 ポリゴンミラー

215 f-θレンズ

216 ミラー

217 感光ドラム

218 回転現像器

219 マゼンタ現像部

220 シアン現像部

221 イエロ現像部

222 ブラック現像部

223 転写ドラム

224, 225 用紙カセット

226 定着ユニット

228 ユニット

301 副走査方向カウンタ

302 主走査方向カウンタ

303 LUT

304, 307, 309 ANDゲート

305 フリップフロップ

306 インバータ

308 レジスタ

10 310 加算器

701 パターン付加回路

702 I/O

703 CPU

710 ROM

711 RAM

801 間引き回路

802 LUT

803-1~803-8 色味判定回路

804 積分器

20 805~807 レジスタ

808 比較器モジュール

809 最大値回路

810 分周回路

901~903, 907~912, 1001, 1005 フリップフロップ

904~906 セレクタ

922 2ビットカウンタ

924 ANDゲート

1002, 1003 乗算器

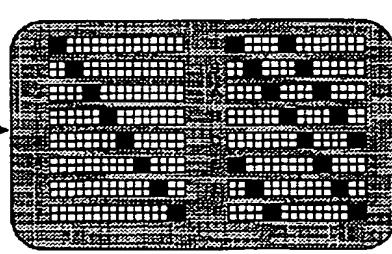
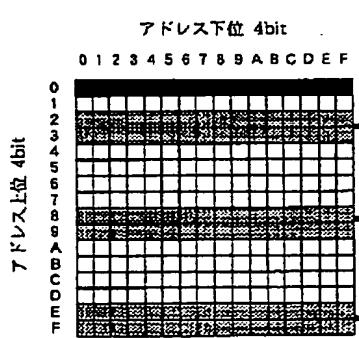
30 1004 加算器

1301~1303 比較器

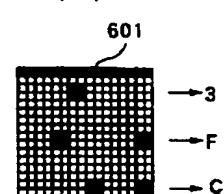
1304 インバータ

1306, 1307 ORゲート

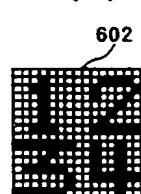
【図4】



(a)

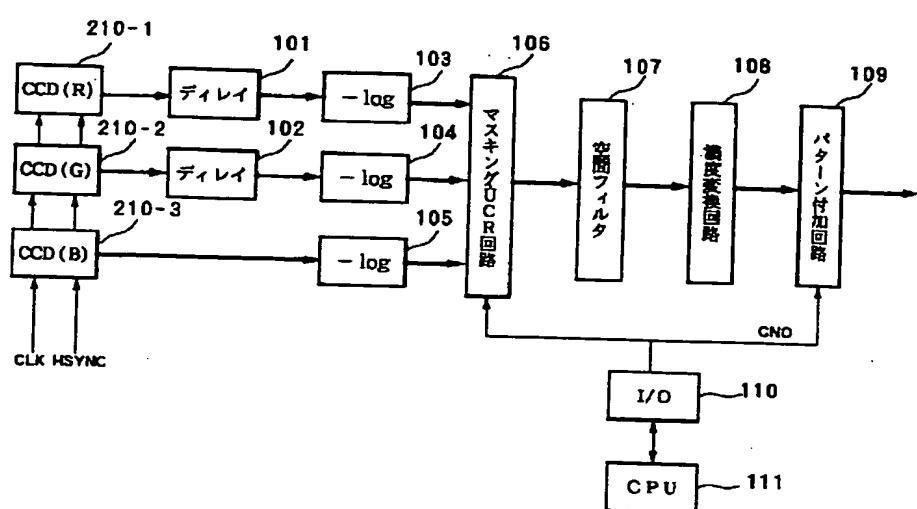


(b)

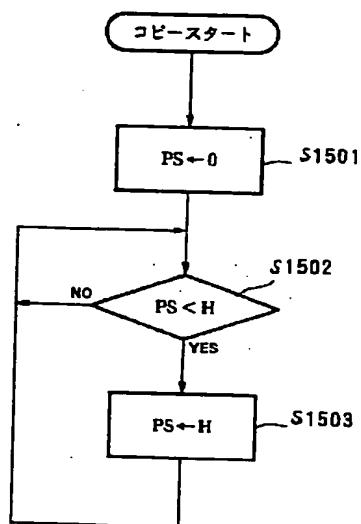


【図6】

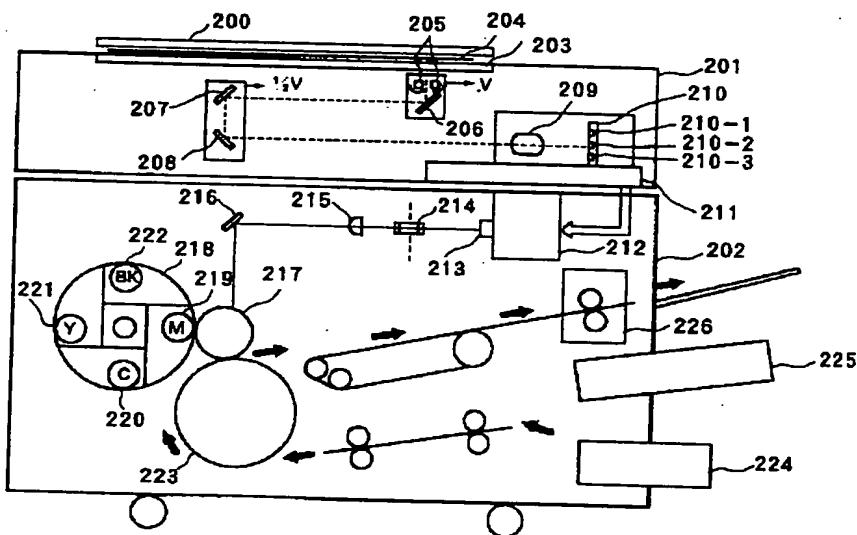
【図1】



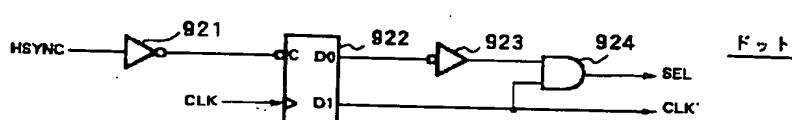
【図17】



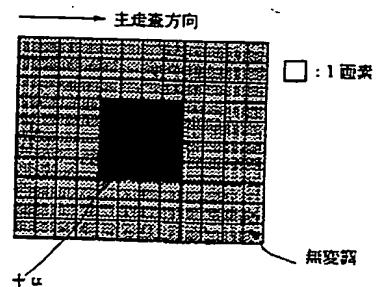
【図2】



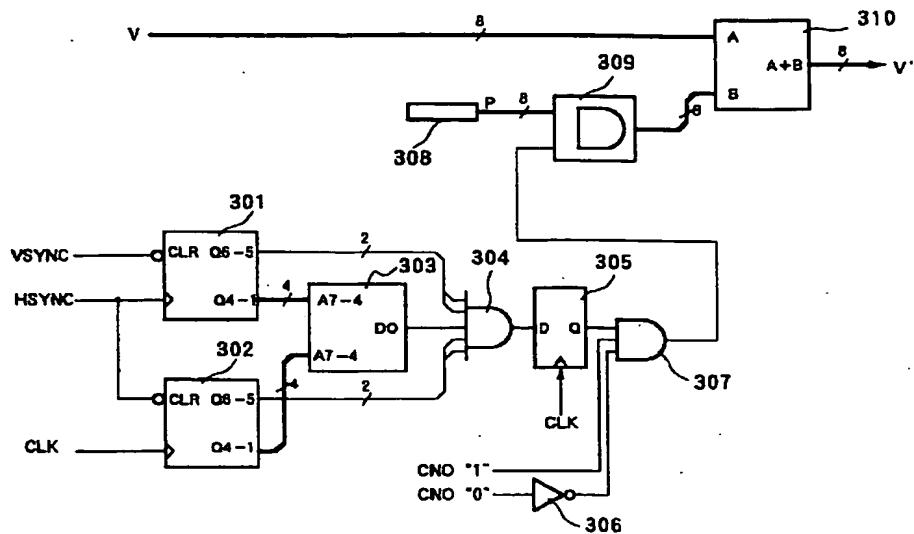
【図10】



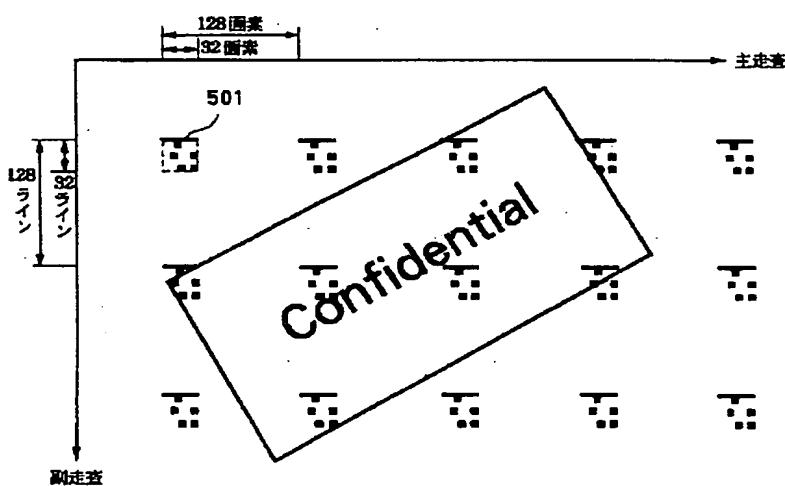
【図20】



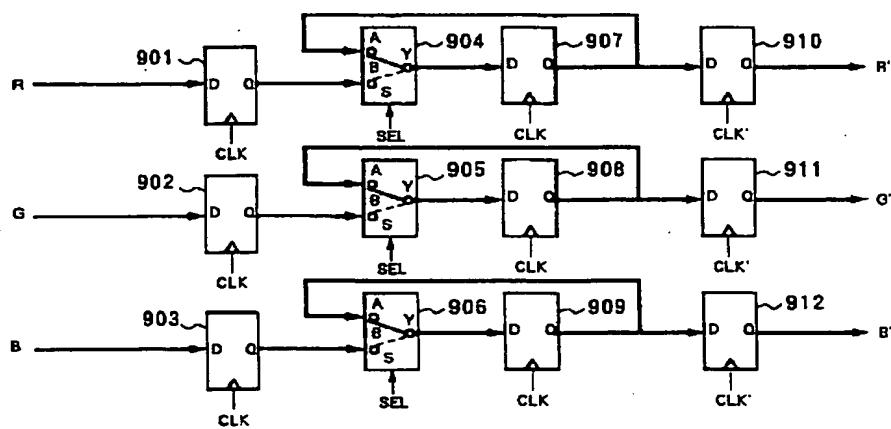
【図3】



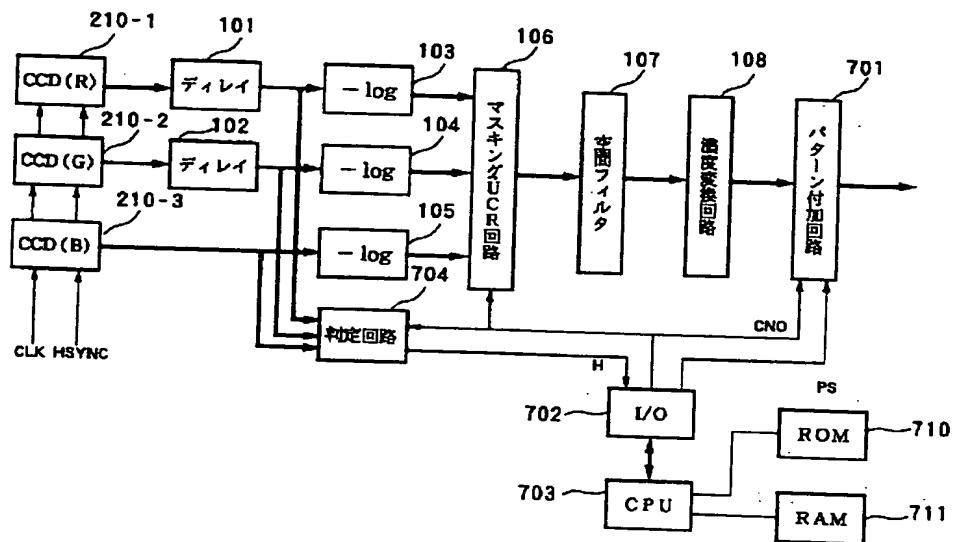
【図5】



【図9】

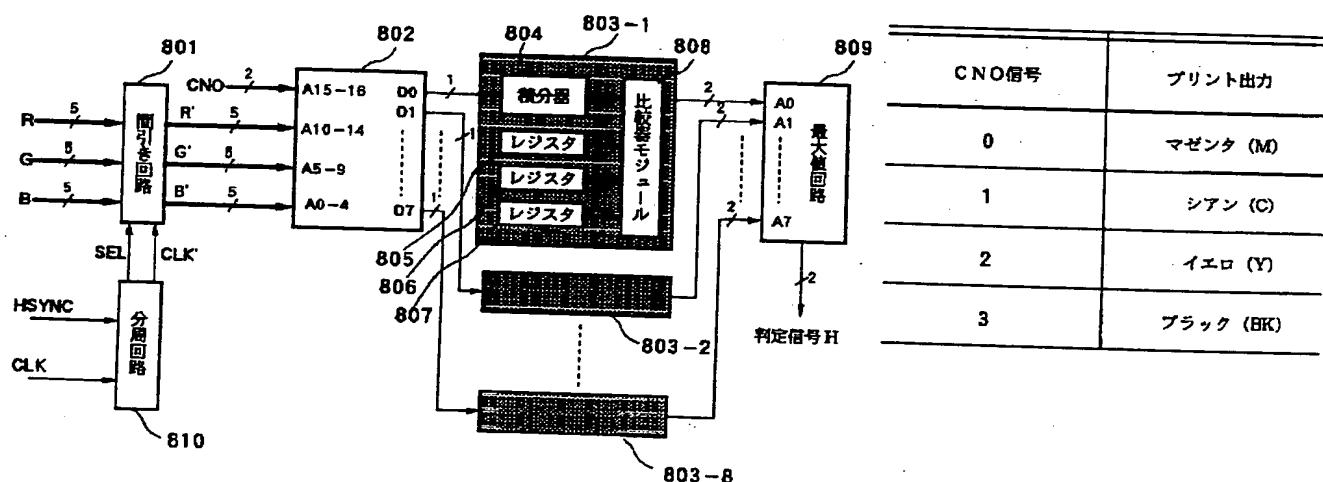


【図7】

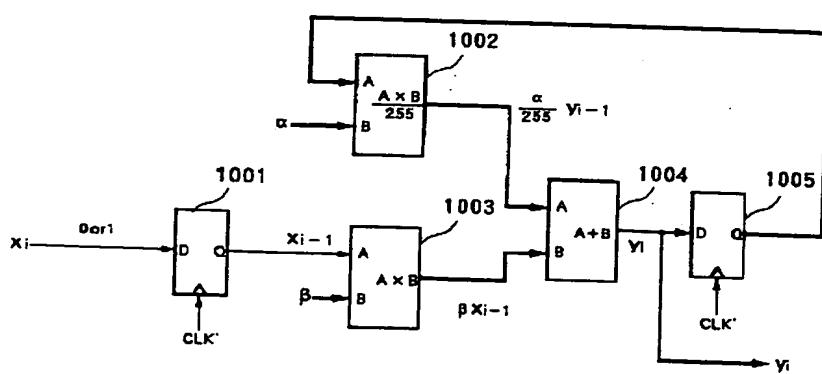


【図8】

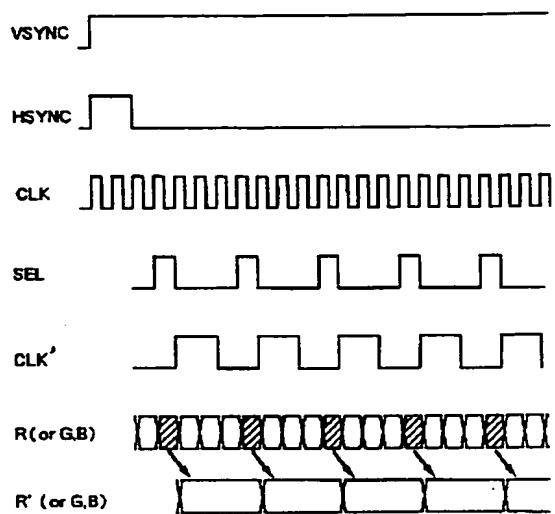
【図28】



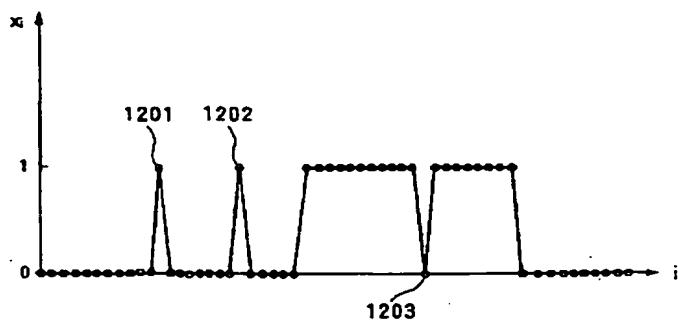
【図11】



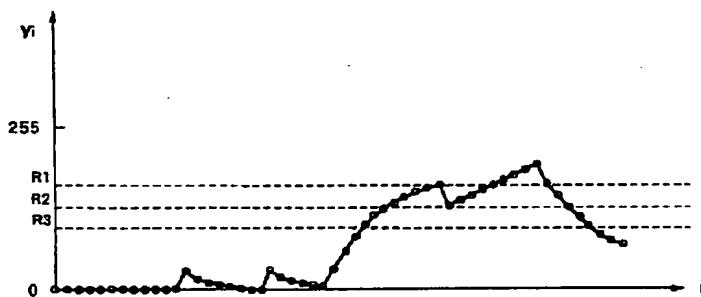
【図12】



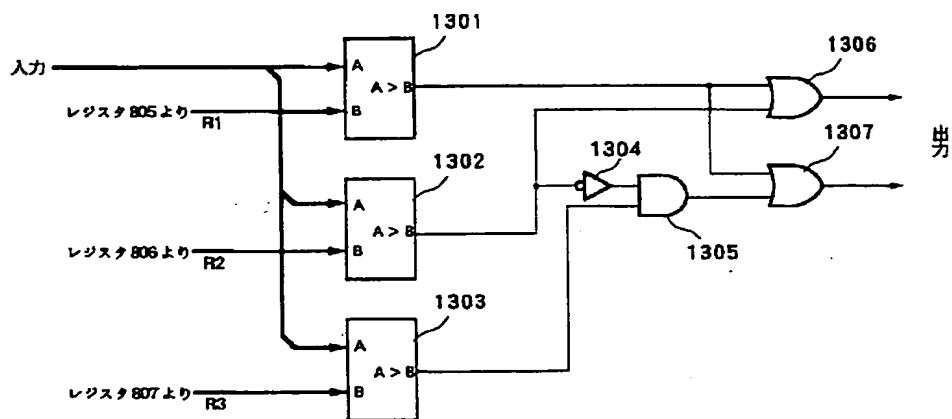
【図13】



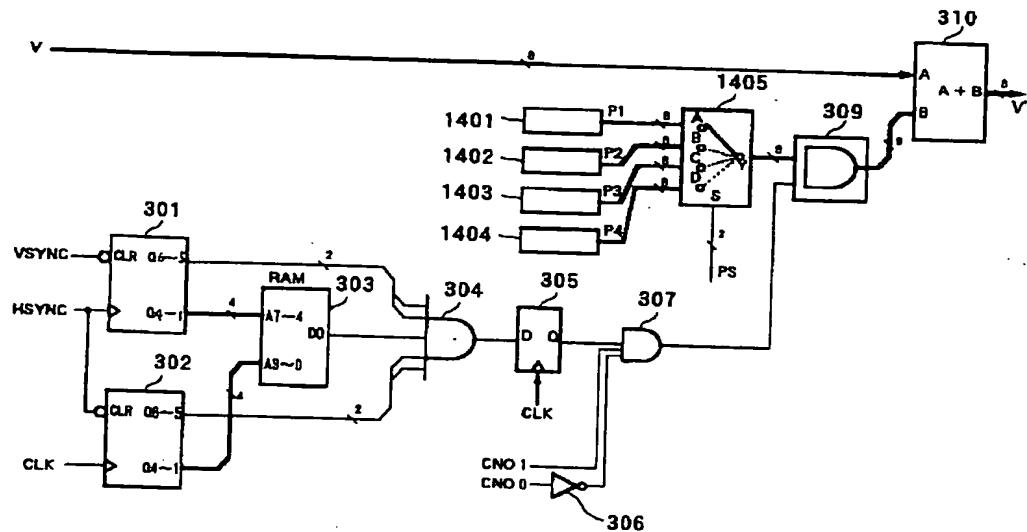
【図14】



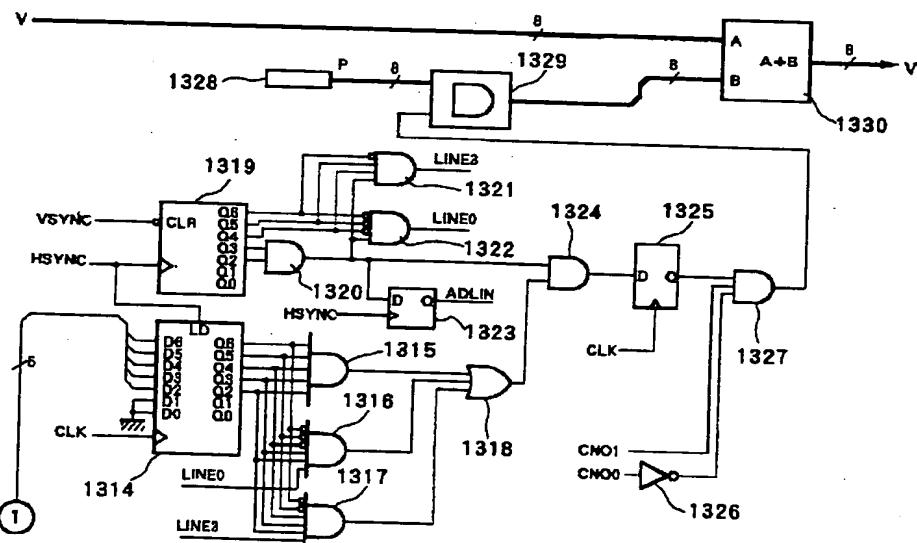
【図15】



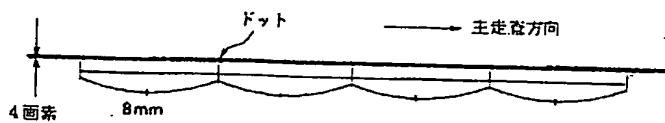
【図16】



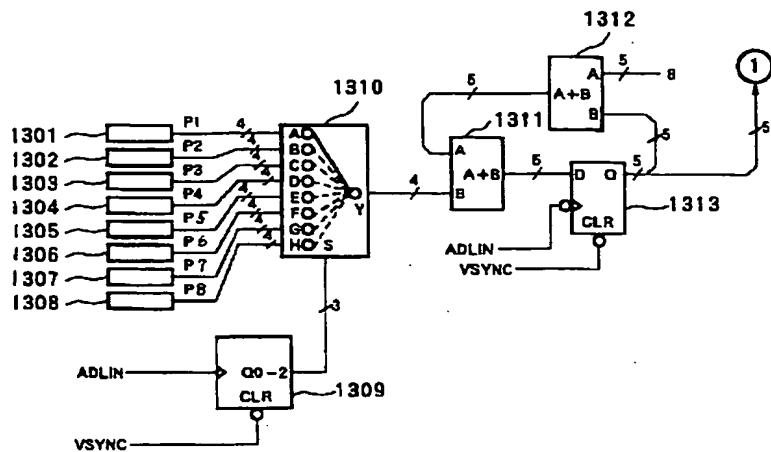
【図18】



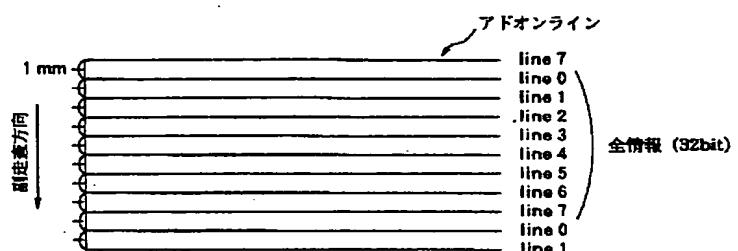
【図21】

アドオンライン

【図19】



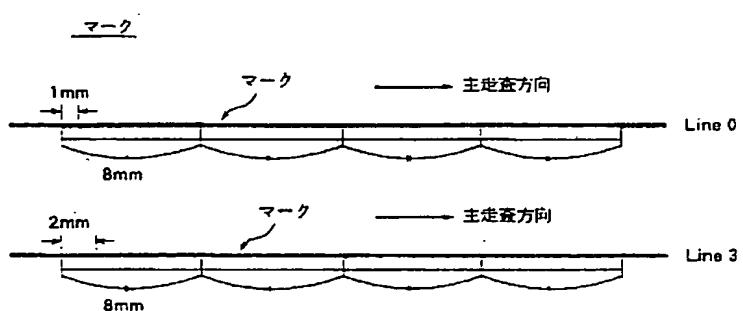
【図22】



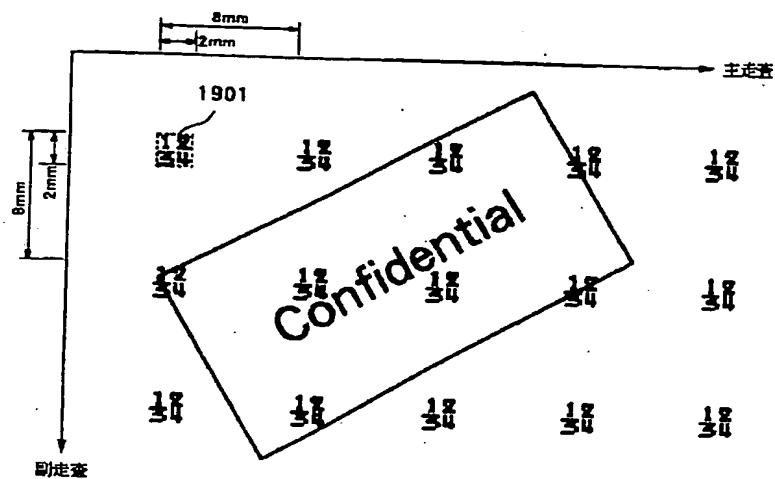
【図23】



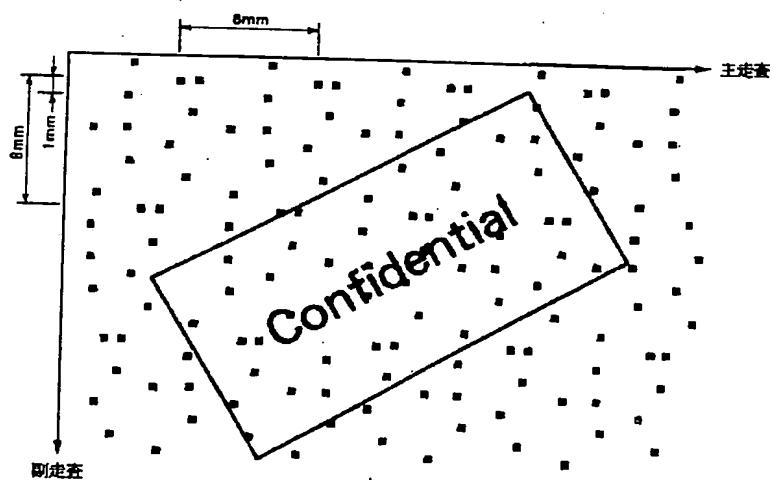
【図24】



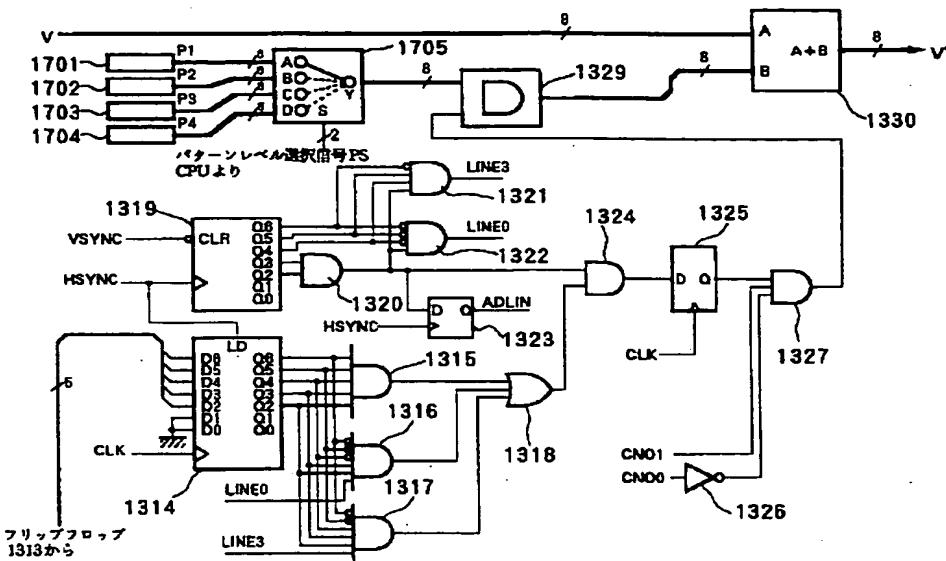
【図25】



【図26】



【図27】



フロントページの続き

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/62	3 1 0	K 8125-5 L		
H 0 4 N 1/40		Z 9068-5 C		